

Advanced Packages

Experten der Halbleitertechnik heben den Durchbruch auf den Gebieten 3D-ICs, Photonik- und Interposer-Technologie hervor. Sie verbinden die Bedeutung der KI mit der Metrology und der thermomechanischen Simulation.

Trotz thermischer Hürden: Chiplet ecosystems und industrielle Zusammenarbeit beschleunigen die 3D-IC-Akzeptanz. Ca. 80 % der Kosten elektronischer Produkte gehen auf Packaging und Assembly zurück [*]. Taiwans Halbleiterindustrie sieht 2025 einen Anstieg von 16,2 %, was das globale Wachstum um 11,2 % überholt. TSMC führt mit 20,1 %, getrieben durch AI und advanced Chips. MediaTek und Memory Hersteller sehen ebenfalls Gewinne [**]. ASE adressiert anwachsende Daten durch KI mit der Nachfrage nach Cutting Edge-heterogenen integrierten Packages, ihrer Silicon Photonics-Plattform und High-Density Lösungen – 2,5D, FOCoS und FOCos-Bridge. Auch werden funktionelle Materialien angesprochen, mit Low Warpage und hoher thermomechanischer Stabilität. In der KI-Epoche steigen Anforderung und Anzahl für erweiterte Konnektivität (steigende Datenrate-Forderungen) im Cloud Service und AI Computing weiter an. Diese Veränderung unterstreicht die Bedeutung der heterogenen Integration als entscheidende Lösung zur Verringerung des Bandbreiten-Engpasses. ASE führte die Silicon Photonics Packaging-Plattform ein mit entsprechenden Designs zur Erleichterung für mehr Advanced AI-Systeme während des Sicherstellens von hoher Performance und Energieeffizienz [*]. Die 2.5D-Packaging-Technologie verwen-

det Redistribution Layers (RDL) auf dem Silicon Interposer, um Chiplets zu verbinden. Bemerkenswerte L/S-Abstände bis zu 0,5 μm /0,5 μm gewährleisten ideale HP-Applikationen. FOCoS nutzt Fan-Out RDL, um verschiedene Chiplets zu integrieren und eine kosteneffektive Lösung mit einem L/S von 2 μm /2 μm bis 10 μm /10 μm anzubieten. Letztendlich nutzen FOCoS-Bridges Silicon-Brücken, um das High-Density-Routing für die Verbindung unterschiedlicher Chips zu nutzen, wie Logik und Speicher-Chips, wo Hochgeschwindigkeitsübertragung erforderlich ist, wobei in anderen Anwendungen auch Fan-Out-RDL erforderlich sind. Die HD-Packaging-Lösungen erreichen eine hohe I/O-Dichte und können zur signifikanten Reduzierung der Verbindungen zwischen AI-Chiplets führen, wo bis zu zehn Chips vorhanden sind. Dies erlaubt kompaktere Designlösungen, wo potenziell die Systemgröße bis zu 70 % reduziert wird [*].

Hybrid bonding gewinnt im Advanced Packaging an Beachtung, weil es die kürzeste vertikale Verbindung zwischen differenten Funktionalitäten bietet und bessere thermische und elektrische Zuverlässigkeitsergebnisse liefert. Vorteile inkludieren die Skalierung bis zu Sub-micron Pitches, eine hohe Bandbreite, verbesserte Power-Effizienz und eine bessere relative Skalierung zu den Solder Ball-Verbindungen.

Während einige Chiphersteller das Hybrid Bonding in der Hochvolumenfertigung (HVM) haben, sind die Kosten für eine Massenproduktion noch zu hoch. AI Chiplets und Module sind riesige Treiber für das Hybrid Bonding und Advanced Packaging.

[*] E. Sperling, L. Peters: Advanced Packaging Moving at Breakthroughs Pace, Semiconductor Engineering, 29.01.2025.

[**] Semiconductor Packaging News, 19.02.2025.

H.-J. Albrecht

Prof. Dr. Hans-Jürgen Albrecht,
Beirat der Fachzeitschrift PLUS



Bild: Hans-Jürgen Albrecht