

Zuverlässigkeitsuntersuchungen an einer hochtemperaturtauglichen SOI-CMOS-Technologie



Stefan Dreiner, Katharina Grella, Wolfgang Heiermann, Andreas Kelberer, Holger Kappert, Holger Vogt, Uwe Paschen, Fraunhofer IMS Duisburg Das Fraunhofer IMS entwickelt hochtemperaturtaugliche SOI-CMOS Prozesse mit minimalen Strukturgrößen von 1,0 µm bzw. 0,35 µm für den Betrieb bei 250 °C und mehr. Für die optimale Prozessentwicklung hin zu einem standardisierten Prozessablauf mit garantierter Funktionalität und Zuverlässigkeit bei hohen Temperaturen sind Simulationen von entscheidender Bedeutung. The Fraunhofer IMS develops high-temperature compatible SOI CMOS processes with a minimum feature size of 1.0 µm or 0.35 µm for operation at 250 °C and more. For optimal process development towards a standardized process flow with guaranteed functionality and reliability at high temperatures simulations are of crucial importance.¹ EinleitungDieser Artikel beschäftigt sich mit der Zuverlässigkeit der am IMS entwickelten SOI-CMOS Technologien. Ziel ist es, einen Überblick über einige der wichtigsten Zuverlässigkeitsaspekte für den Betrieb bei 250 °C und höher, mit denen wir uns in vergangenen Jahren beschäftigt haben, zu geben. Die untersuchten Zuverlässigkeitsaspekte umfassen die Gate-Oxid-zuverlässigkeit (TDDB: time-dependent dielectric breakdown), Elektro- und Stressmigration der Zuleitungen und die EEPROM-Zuverlässigkeit (Datenerhalt, Datenwechselstabilität), sowie die Langzeitstabilität von Ringoszillatoren und einer Band-Gap-Referenz.

Bewertung: Noch nicht bewertet

Preis

ermäßigter Preis4,39 €

4,70 €

Netto-Preis: 4,39 €

Enthaltene MwSt.: 0,31 €

[Stellen Sie eine Frage zu diesem Produkt](#)